

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124318

(43)Date of publication of application : 25.04.2003

(51)Int.Cl.

H01L 21/82
H01L 21/822
H01L 27/04

(21)Application number : 2001-312543

(71)Applicant : NEC MICROSYSTEMS LTD

(22)Date of filing : 10.10.2001

(72)Inventor : KONDO KEIICHIRO

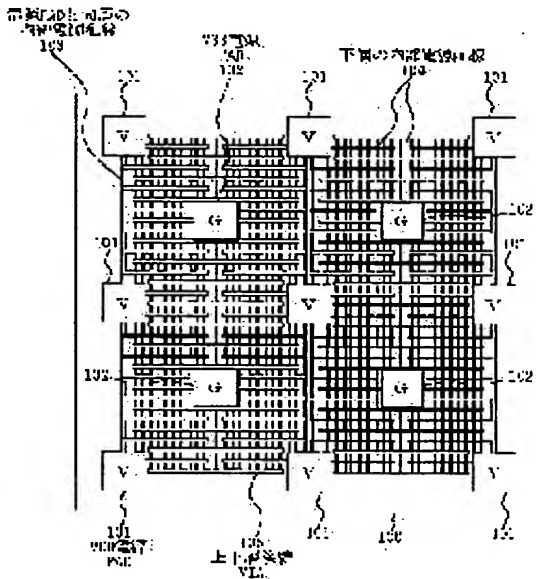
(54) SEMICONDUCTOR DEVICE AND METHOD OF DISTRIBUTING POWER SUPPLY WIRE BETWEEN INTERNAL POWER TERMINALS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having internal power terminals which comprises positive power terminals for supplying high potentials to an internal element region of a semiconductor chip and negative power terminals for supplying low potentials thereto, and provide a method of distributing a power supply wire between the internal power terminals.

SOLUTION: The semiconductor device has a structure in which the positive power terminals and the negative power terminals are evenly disposed in the internal element region of the semiconductor chip, and power is supplied to the internal power terminals from outside the semiconductor chip. Metal lines which are leveled same as the internal power terminals are arranged, in a comb-like shape, between the internal power terminals, and thereafter the internal power terminals of the same potential are connected with each other to supply power to a power supply wire of the internal element region, which is constituted of low-level metal lines. Thus power

is supplied to the internal element by using a single layer of metal lines, which is at the same level as power PADS for supplying power to the internal element region of the semiconductor chip from a package outside the semiconductor chip, and fully spreading an internal power supply wire between the power PADS.



LEGAL STATUS

[Date of request for examination]

17.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-124318

(P2003-124318A)

(43) 公開日 平成15年4月25日 (2003.4.25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/82		H 0 1 L 21/82	L 5 F 0 3 8
21/822		27/04	D 5 F 0 6 4
27/04			

審査請求 有 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2001-312543(P2001-312543)

(22) 出願日 平成13年10月10日 (2001. 10. 10)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 近藤 敬一郎

神奈川県川崎市中原区小杉町一丁目403番
53 エヌイーシーマイクロシステム株式
社内

(74) 代理人 100109313

弁理士 机 昌彦 (外2名)

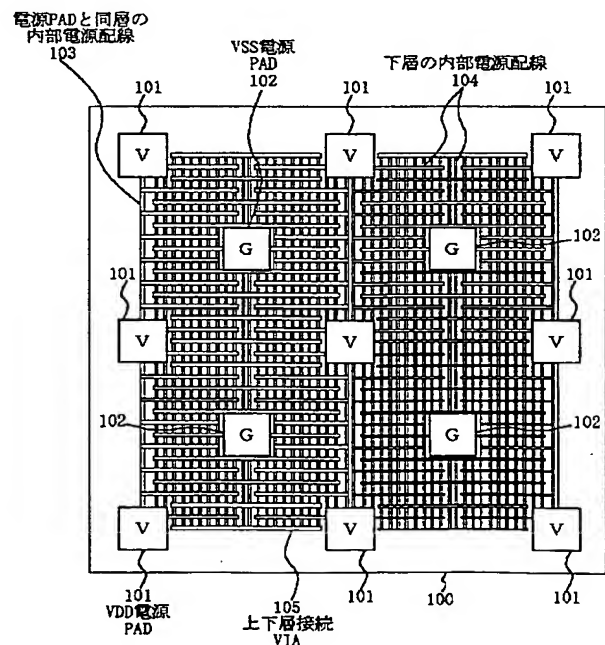
最終頁に続く

(54) 【発明の名称】 半導体装置およびその内部電源端子間の電源配線方法

(57) 【要約】

【課題】半導体チップの内部素子領域に高電位を供給する正電源端子と低電位を供給する負電源端子とからなる内部電源端子を具備する半導体装置およびその内部電源端子間の電源配線方法を提供する。

【解決手段】 正電源端子および前記負電源端子のそれぞれが、半導体チップの内部素子領域に一樣に配置され、半導体チップ外部から前記内部電源端子に電源が供給される構造の半導体装置であって、内部電源端子と同層の金属配線メタルを前記内部電源端子間にくし状に配線した後、同電位の内部電源端子と接続し、下層金属配線メタルで構成している内部素子領域の電源配線に電源を供給して、半導体チップ外部のパッケージから半導体チップ内部素子領域に電源供給する電源PADと同層金属配線メタルを1層だけ使用し、電源PAD間に内部電源配線を敷き詰めて内部素子に電源供給する。



【特許請求の範囲】

【請求項1】 半導体チップの内部素子領域に高電位を供給する正電源端子と低電位を供給する負電源端子とからなる内部電源端子を具備し、前記正電源端子および前記負電源端子のそれぞれが、前記半導体チップの内部素子領域に様に配置され、前記半導体チップ外部から前記内部電源端子に電源が供給される構造の半導体装置において、

前記内部電源端子と同層の金属配線メタルを前記内部電源端子間にくし状に配線した後、同電位の内部電源端子と接続し、前記くし状金属配線メタル配線と下層金属配線メタルが交差する箇所に上下層接続VIAを設ける事により、前記下層金属配線メタルで構成している内部素子領域の電源配線に電源を供給して、前記半導体チップ外部のパッケージから半導体チップ内部素子領域に電源供給する電源PADと同層金属配線メタルを1層だけ使用し、前記電源PAD間に内部電源配線を敷き詰めて内部素子に電源供給することを特徴とする半導体装置。

【請求項2】 上下に並んでいる同電位（高電位と高電位、低電位と低電位）の前記電源PADどうしを電源PADと同層のメタルを使用して電源PADの上下辺の中央部分から縦方向に配線するよう、前記電源PADを縦方向に並べた請求項1記載の半導体装置。

【請求項3】 左右に並んでいる同電位（高電位と高電位、低電位と低電位）の前記電源PADどうしを電源PADと同層のメタルを使用して電源PADの左右辺の中央部分から横方向に配線するよう、前記電源PADを横方向に並べた請求項1記載の半導体装置。

【請求項4】 前記正電源端子と前記負電源端子とを交互に並べて、敷き詰める配置にした電源PADどうしを電源PADと同層のメタルを使用して電源PADの上下辺の中央部分から縦方向に配線するよう、前記電源PADを縦方向に並べた請求項1、2または3記載の半導体装置。

【請求項5】 請求項1、2、3または4記載の半導体装置に適用される内部電源端子間の電源配線方法であって、電源PAD間の内部電源配線を電源PADと同層のメタル1層で構成するために、電源PAD上に電源端子を設け、電源PADの配置状態から最短距離になる電源端子を抽出して、抽出した電源端子どうしを電源PADと同層メタルの優先配線方向と直行する方向（副軸）を優先に配線してから優先配線方向に配線した後、電源PAD間の領域に配置された内部素子の消費電力を算出して予め定義した内部電源構造を選択して配線する内部電源端子間の電源配線方法。

【請求項6】 上下に並んでいる同電位（高電位と高電位、低電位と低電位）の前記電源PADどうしを電源PADと同層のメタルを使用して電源PADの上下辺の中央部分から縦方向に配線して、縦方向に並んでいる同電位の電源PADを接続する請求項5記載の内部電源端子

間の電源配線方法。

【請求項7】 左右に並んでいる同電位（高電位と高電位、低電位と低電位）の前記電源PADどうしを電源PADと同層のメタルを使用して電源PADの左右辺の中央部分から横方向に配線して、横方向に並んでいる同電位の電源PADを接続する請求項5記載の内部電源端子間の電源配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその内部電源端子間の電源配線方法に関し、特に、半導体チップの内部素子領域に高電位を供給する正電源端子と低電位を供給する負電源端子とからなる内部電源端子を具備する半導体装置およびその内部電源端子間の電源配線方法に関する。

【0002】

【従来の技術】近年、半導体微細加工技術の進歩により、高速・高集積の半導体チップが製造可能になり、従来複数あったチップを1チップにする事が可能になった。

【0003】このような1チップ化技術のうち、従来のQFP・PGAパッケージでは、1チップ化を図ると信号端子数が増えてしまい、信号端子数が十分の取れない問題が発生していることは、周知である。

【0004】そこで、信号端子数が多く取れるフリップチップパッケージが注目を集めていることも、周知である。

【0005】このフリップチップパッケージは、信号端子数を増やすことが可能になる事やビルドアップ基盤と呼ばれるパッケージと半導体チップを接続する中間基板があり、この中間基板に電源プレーンを設ける事が可能となった。

【0006】中間基板に電源プレーンを設ける事により、半導体チップ内部の任意な場所に電源を供給することが可能となり、半導体チップ内部への電源供給能力が向上した。

【0007】中間基板の電源プレーンから半導体チップ内部へ電源供給する場合、従来の半導体チップ例である図27のA-B破線の断面図（図28）に示すように、半導体チップの上辺からシリコンウエハー2850上で構成している内部素子2810に向けて一方向から供給される。

【0008】また、このような従来技術は、例えば、特公平06-093062号公報に開示されている。

【0009】

【発明が解決しようとする課題】しかしながら、この従来技術では、電源供給点間に配置された内部素子は、多層で構成されている内部電源配線を経由して供給される事になり、各配線層毎の電源配線インピーダンスが高い場合、電源電圧降下（IR-Drop）が発生してしま

う問題があった。

【0010】そこで、内部電源PADと同層金属の1層を電源PAD間に設ける事により、下層金属への電源供給点数を増やして電源供給点から垂直方向に電源供給する構造を実現するため、本発明を考案した。

【0011】他の従来例である、特公平06-093062号公報に記載の半導体装置は、本発明と同様に、くし形の電極構造を特徴にするものであるが、電源電圧降下に着目したものでなく、内部消費電力に応じて電源配線幅を変えるものでないで本発明と目的、効果が異なっている。

【0012】したがって、本発明の目的は、上記問題を解決した半導体チップの内部素子領域に高電位を供給する正電源端子と低電位を供給する負電源端子とからなる内部電源端子を具備する半導体装置およびその内部電源端子間の電源配線方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置は、半導体チップの内部素子領域に高電位を供給する正電源端子と低電位を供給する負電源端子とからなる内部電源端子を具備し、前記正電源端子および前記負電源端子のそれぞれが、前記半導体チップの内部素子領域に一樣に配置され、前記半導体チップ外部から前記内部電源端子に電源が供給される構造の半導体装置において、前記内部電源端子と同層の金属配線金属を前記内部電源端子間にくし状に配線した後、同電位の内部電源端子と接続し、前記くし状金属配線金属配線と下層金属配線金属が交差する箇所に上下層接続VIAを設ける事により、前記下層金属配線金属で構成している内部素子領域の電源配線に電源を供給して、前記半導体チップ外部のパッケージから半導体チップ内部素子領域に電源供給する電源PADと同層金属配線金属を1層だけ使用し、前記電源PAD間に内部電源配線を敷き詰めて内部素子に電源供給する構成である。

【0014】また、本発明の半導体装置の内部電源端子間の電源配線方法は、電源PAD間の内部電源配線を電源PADと同層の金属1層で構成するために、電源PAD上に電源端子を設け、電源PADの配置状態から最短距離になる電源端子を抽出して、抽出した電源端子どうしを電源PADと同層金属の優先配線方向と直行する方向（副軸）を優先に配線してから優先配線方向に配線した後、電源PAD間の領域に配置された内部素子の消費電力を算出して予め定義した内部電源構造を選択して配線する構成である。

【0015】

【発明の実施の形態】次に、図面を参照しながら、本発明の実施の形態を以下に詳述する。図1を参照して、本発明の特徴を説明する。

【0016】まず、本発明は、半導体チップの内部素子領域に電源端子（内部電源端子）の正電源（以下、VD

Dと略記する）と負電源（以下、VSSと略記する）が一樣に配置されており、半導体チップ外部から前記内部電源端子に電源が供給される構造の半導体チップにおいて、内部電源端子と同層の金属を内部電源端子間にくし状に配線した後、同電位の内部電源端子と接続し、くし状金属配線金属配線と下層金属配線金属が交差する箇所に上下層接続VIAを設ける事により、下層金属で構成している内部素子領域の電源配線に電源を供給して、内部領域素子で電力消費による電源電圧降下（IR-Drop）を低減する事を特徴とする半導体装置およびその内部電源端子間の電源配線方法である。

【0017】次に、本発明の第1の実施の形態について、図1を参照して説明する。

【0018】図1に本発明の第1の実施の形態の半導体装置のレイアウト構造の模式平面図を示す。図2は本発明を実現するための処理フロー図である。

【0019】図1を参照すると、本発明の第1の実施の形態の半導体装置100は、高電位電源（以下、VDD電源と略記する）PAD101と、低電位電源（以下、VSS電源と略記する）PAD102と、VDD電源PAD101どうし、およびVSS電源PAD102どうしのそれぞれを接続する各電源PADと同層の内部電源配線103と、各電源層に対応する下層の部電源配線104と、各電源PADと同層の内部電源配線103と各電源層に対応する下層の部電源配線104とを接続する上下層接続VIA105とを具備する。

【0020】そして、本発明の第1の実施の形態の半導体装置100の内部素子領域に電源PAD（101、102）が配置されている場合、上下に並んでいる同電位のVDD電源PAD101とVDD電源PAD101、VSS電源PAD102とVSS電源PAD102の電源PADどうしを電源PADと同層の金属配線103を使用して、電源PADの上下辺の中央部分から縦方向に配線して、縦方向に並んでいる同電位の電源PADを接続する。

【0021】次に、前記、縦方向に接続した配線と同層の金属を使用し、縦方向に接続した配線に直行する横方向に、VDD電源とVSS電源の配線が重ならないように交互に配線して、各電源PAD間をくし状にする。

【0022】くし状になった電源PADと同層の電源配線と直行する下層配線104との交点に、上下層を接続するVIA105を配置する事により内部領域素子に電源供給を行う事が可能となる。

【0023】次に、図2を参照しながら、本実施の形態の処理フローの各ステップ処理内容について説明する。

【0024】まず、第1のステップを説明する。

【0025】本ステップでは、下記に示す各ファイルを読み込み内部記憶装置に一時記憶する処理を行う。

【0026】電源PADに電源端子を設けた素子定義ファイルを素子定義情報として格納する。電源PADに電

源端子を設けたイメージを図3に示す。

【0027】従来技術の自動配置ツールを用いて、半導体チップの内部素子領域に電源PADと内部素子を配置した内部素子配置ファイルを内部素子領域配置情報として格納する。消費電力別に内部電源構造のイメージを図4に示す。

【0028】図4(a)に示した内部電源構造では、図4(a)は消費電力大(5W~10W)の場合の内部電源構造(電源PADと同層の内部電源配線幅 $10\mu\text{m}$)に対応し、図4(b)は消費電力中(1W~5W)の場合の内部電源構造(電源PADと同層の内部電源配線幅 $5\mu\text{m}$)に対応し、図4(c)は消費電力小(1W以下)の場合の内部電源構造(電源PADと同層の内部電源配線幅 $1\mu\text{m}$)に対応している。すなわち、内部電源構造の種類は、3種類である。

【0029】本実施の形態では、内部電源構造の種類を3種類としたが、2つ以上であれば何種類でもよい。

【0030】従来の自動配置ツールで半導体チップ内部素子領域に配置された各内部素子の消費電力を定義した消費電力ファイルを消費電力定義情報として格納する。消費電力ファイルのイメージを図5に示す。例えば、内部素子機能名が「INVERTER」の場合、その消費電力は $10\mu\text{W}$ である。

【0031】次に、第2のステップを説明する。

【0032】本ステップでは、内部素子領域配置情報から内部素子と電源PADの配置情報を抽出して、内部素子配置情報と電源PAD配置情報として内部記憶装置に一時記憶する処理を行う。

【0033】次に、第3のステップでは、前記ステップ2で抽出した電源PAD配置情報から、内部素子配置検索領域を設定し、内部素子配置検索領域情報として内部記憶装置に一時記憶する処理を行う。

【0034】内部素子配置検索領域の設定は、頂点を同電位の電源PAD(VDDまたはVSS)に囲まれた四角形として、頂点の電源PADは、VDD、VSSのどちらかを基準にする。

【0035】次に、第4のステップでは、前記ステップ3で設定した内部素子配置検索領域情報の領域内に配置されている内部素子を、内部素子配置情報から抽出する処理を行う。

【0036】内部素子が内部素子配置検索領域をまたがった場合は、またがっている内部素子の面積比から消費電力を算出する係数を求める。

【0037】例えば、内部素子配置検索領域をまたがっている面積比が3:7の場合、面積比3にまたがっている内部素子配置検索領域内での算出係数を0.3として、面積比7にまたがっている内部素子配置検索領域内での算出係数を0.7として抽出する。

【0038】内部素子配置検索領域内に配置されており、隣接する内部素子配置検索領域にまたがない内部素

子は、算出係数1として抽出する。

【0039】次に、第5のステップでは、消費電力定義情報を元に、前記ステップ4で抽出した内部素子と算出係数から領域内の消費電力総和として算出した結果を、領域別消費電力情報として内部記憶装置に一時記憶する処理を行う。

【0040】領域内に配置している各内部素子の消費電力算出は、以下の式を用いて求める。

領域内配置の各内部素子消費電力=(該当素子の消費電力) \times (算出係数)

また、領域内の消費電力総和と算出は、以下の式を用いて求める。

領域内消費電力総和= Σ (領域内配置の各内部素子消費電力)

次に、第6のステップでは、前記ステップ3で求めた内部素子配置検索領域情報の領域検索が全て終了したかをチェックして、未終了の場合はステップ7の内部素子配置検索領域移動処理を行い、終了した場合は、次のステップ8の処理を行う判断をする。

【0041】次に、第7のステップでは、内部素子配置検索領域情報の領域検索で終了していない領域に領域移動する処理を行い、ステップ4の領域内内部素子抽出処理を行う。

【0042】次に、第8のステップでは、電源PAD配置情報と素子定義情報から、各電源PADの電源端子位置を抽出した後、同電位の電源端子どうしが最短距離になる電源端子を選択する処理を半導体チップ全体に対して行う。

【0043】最短距離となる電源端子が複数ある場合、電源PAD各辺の中心位置にある電源端子を選択する。

【0044】次に、第9のステップでは、前記ステップ8で抽出した同電位の電源PADの電源端子どうしを接続する処理を行う。電源PADと同層のメタルを使用し、電源端子どうしを接続する。

【0045】配線は、従来技術の自動配線ツールで定義する電源PADと同層メタルの優先配線方向(主軸)に直行する方向(副軸)を最初に行い、次に配線優先方向(主軸)を配線する。

【0046】配線をする方向は、電源端子から右・上方向または左・下方向のいずれかの方向に配線するように設定する。

【0047】最初に電源PADと同層メタルの配線優先方向と直行する方向(副軸)だけで、電源PADの電源端子どうしを接続すると、配線優先方向(主軸)の配線処理は行わない。

【0048】図20に示す第3実施の形態のように、同電位の電源PADの電源端子どうしが斜めに有った場合、最初に電源PADと同層メタルの配線優先方向と直行する方向(副軸)を配線した後、配線優先方向(主軸)を配線してL字状に接続する。配線方法について

は、従来技術の自動配線ツールを使用する。

【0049】次に、第10のステップでは、前記ステップ3で求めた内部素子配置検索領域情報ごとに、前記ステップ5で算出した領域別消費電力情報の消費電力を、内部電源構造情報から供給可能な内部電源構造を選択して、内部電源配線処理を行う。

【0050】内部電源配線処理は、従来技術の自動配線ツールを使用する。

【0051】次に、第11のステップでは、前記ステップ3で求めた内部素子配置検索領域情報の領域内で、前記ステップ10処理すべてが終了したかをチェックして、未終了の場合はステップ12の内部素子配置検索領域移動処理を行い、終了した場合は本発明の処理を終了する判断を行う。

【0052】最後に、第12のステップでは、内部素子配置検索領域情報の領域内で前記ステップ10処理を終了していない領域に領域移動する処理を行い、ステップ10の内部電源配線処理を行う。

【0053】以上のように、第1のステップ乃至第12ステップの処理を行う事により、本発明の内部電源端子間の電源配線が実現出来る。

【0054】次に、さらに、本発明の第1実施の形態について、図6乃至図18を参照して説明を行う。

【0055】図6は、ステップ1で読み込まれた内部素子領域配置情報のイメージであり、図6では、電源PAD(601、602)の間に内部素子610が配置されている状態を表す。

【0056】第2のステップで内部素子と電源PADの配置情報を抽出した後、第3のステップで内部素子配置検索領域を設定する。本実施の形態では、図7に示すように、電源PAD(VDD)701を内部素子配置検索領域の頂点として設定し、内部素子配置検索領域A711～内部素子配置検索領域D714の4つの領域を設定する。

【0057】図8に示す内部素子配置検索領域A811について、第4のステップの処理を行い、領域内800に配置されている内部素子810を抽出して、算出係数を求める。

【0058】内部素子配置検索領域A811と内部素子配置検索領域B812にまたがっている内部素子820があり、その面積比が1:9となり、内部素子配置検索領域A811には、その内部素子の算出係数を0.1に設定する。その他の内部素子は、内部素子配置検索領域A811内に入っているため算出係数を1として設定する。

【0059】抽出した内部素子と算出係数および図5の消費電力定義情報をもとに、第5のステップの処理で、内部素子配置検索領域A811内の消費電力総和を求めて領域別消費電力情報に格納する。

【0060】次に、ステップ6とステップ7により、内

部素子配置検索領域の領域移動を行い、前記と同様にステップ4、ステップ5の処理を行って領域別消費電力情報を全領域に対して求める。

【0061】図9は、内部素子配置検索領域B912に領域移動してステップ4、ステップ5の処理を行う場合を示す。

【0062】図10は、内部素子配置検索領域C1013に領域移動してステップ4、ステップ5の処理を行う場合を示す。

【0063】図11は、内部素子配置検索領域D1114に領域移動してステップ4、ステップ5の処理を行う場合を示す。

【0064】本実施の形態では、各内部素子配置検索領域の消費電力総和が以下のように求まったとする。

内部素子配置検索領域A: 6W

内部素子配置検索領域B: 4W

内部素子配置検索領域C: 3W

内部素子配置検索領域D: 0.9W

内部素子配置検索領域Dに領域移動して、ステップ4、ステップ5の処理が終了すると、ステップ6では、内部素子配置検索領域の検索が終了したと判断してステップ8の電源PADの電源端子抽出処理を行う。

【0065】電源PADの電源端子抽出を行うため、ステップ8の処理を行う。図12に示すように電源端子抽出処理は、ステップ2で抽出した電源PADの配置情報と、ステップ1で読み込んだ図3の素子定義情報をもとに半導体チップ内部領域内に配置されている電源PADの電源端子位置を抽出する。

【0066】電源端子位置を抽出後、同電位の電源端子どうしが最短距離になる電源端子を抽出する。

【0067】図13では、上下左右に同電位電源PADがあるため、最短距離になる電源端子が電源PAD上の各辺に存在する事になるので、電源PAD各辺の中央部にある電源端子を選択する。

【0068】次に、抽出した電源PADの電源端子どうしをステップ9の処理により、図14に示すように電源PADと同層のメタルで副軸方向で接続する。

【0069】図14の場合は、副軸方向の配線で電源端子どうしの接続完了したので、主軸方向配線処理は行わない。電源PADの電源端子接続が終了した後、ステップ10の内部電源配線処理を行う。

【0070】まず、内部素子配置検索領域Aの消費電力総和を領域別消費電力情報をもとに、その消費電力を十分に電源供給可能な内部電源構造を前記ステップ1読み込んだ内部電源構造情報から選択して従来技術の自動配線ツールで配線する。

【0071】全ての内部素子配置検索領域に対してステップ10、ステップ11、ステップ12の処理を行う。

【0072】内部素子配置検索領域Aの消費電力総和は、ステップ5で6Wと求められているため、図15に

示すように内部電源構造情報の消費電力大タイプ（図4（a））の電源配線を選択する。同様に、各領域について処理を行う。

【0073】内部素子配置検索領域Bの消費電力総和は、ステップ5で4Wと求められているため、図16に示すように内部電源構造情報の消費電力中タイプ（図4（b））の電源配線を選択する。

【0074】内部素子配置検索領域Cの消費電力総和は、ステップ5で3Wと求められているため、図17に示すように内部電源構造情報の消費電力中タイプ（図4（b））の電源配線を選択する。

【0075】内部素子配置検索領域Dの消費電力総和は、ステップ5で0.9Wと求められているため、図18に示すように内部電源構造情報の消費電力小タイプ（図4（c））の電源配線を選択する。

【0076】以上の通り、本発明の第1の実施の形態の電源PAD間に内部電源配線がされて、処理が完了する。

【0077】次に、本発明の第2の実施の形態について図19を参照して説明する。

【0078】図19を参照すると、本発明の第2の実施の形態は、電源PADと同層メタルの優先配線方向が縦の場合であり、本発明の第1の実施の形態と同様に内部電源PAD間に電源配線を行う事が可能である。

【0079】すなわち、本発明の第2の実施の形態は、本発明の第1の実施の形態を左に90度回転し、それをX軸で反転した構造である。

【0080】VDD電源PAD1901が図1のVDD電源PAD101に対応し、VSS電源PAD1902が図1のVSS電源PAD102に対応し、配線1931が図1の配線103に対応している。

【0081】次に、本発明の第3の実施の形態について図20を参照して説明する。

【0082】本発明の第3の実施の形態は、同電位の電源PADならびが斜め方向にある場合である。すなわち、VDD電源PAD2001が基準のPADから右・下方向に配列され、VSS電源PAD2002も基準のPADから右・下方向に配列される構造である。

【0083】本発明の第3の実施の形態は、図21（a）～図21（c）に示すように、半導体チップの消費電力に対して十分に電源供給が行える内部構造を消費電力範囲別に定義した内部電源構造ファイルを本発明の第1の実施の形態および本発明の第2の実施の形態とは別に設定し、内部電源構造情報羽として内部記憶装置に格納する。

【0084】同電位の電源PADどうしの接続方法は、図2の処理フロー図に示すステップ8で同電位の電源PADに設けている電源端子どうしが最短距離になる電源端子を選択する。

【0085】本発明の第3の実施の形態では、同電位の

電源PADならびが斜め方向にあるため、電源端子同士が最短距離になる場所は電源PADの角に設けている電源端子となる。

【0086】ステップ8で設定した配線方向の制約に従い、同電位の電源PADどうしを接続する時、配線始点の電源PADから同層メタルの優先配線方向に直行する方向（副軸）を最初に配線を行い、配線終点の電源PADと同座標（縦方向に配線する場合はY座標、横方向に配線する場合はX座標）から優先配線方向（主軸）に配線方向を切替えて配線終点の電源端子に接続するようにステップ9の処理を行い、本発明を実現する。

【0087】次に、本発明の第4の実施の形態について図22を参照して説明する。

【0088】本発明の第4の実施の形態では、電源PADと同層メタルの優先配線方向が縦の場合であり、本発明の第3の実施の形態と同様に内部電源PAD間に電源配線を行う事が可能である。

【0089】すなわち、本発明の第4の実施の形態は、本発明の第3の実施の形態を左に90度回転した構造である。VDD電源PAD2201が図20のVDD電源PAD2001に対応し、VSS電源PAD2202が図20のVSS電源PAD2002に対応している。

【0090】

【発明の効果】以上説明した通り、本発明による効果は、本発明を使用して内部電源PAD間に電源配線を設ける事により、電源電位降下（IR-Drop）は、図29に示す通り、約9%～17%まで改善が可能である。また、VDDとVSS電源のIR-Drop量のバランスも図ることが可能である。

【0091】市販されている電源電圧降下（IR-Drop）解析ツールを使用して、電源電圧降下の分布を画像化した結果を、VDD電源側（図25）、VSS電源側（図26）に示す。従来例で行った結果は、VDD電源側（図23）、VSS電源側（図24）に示す。

【0092】本発明により、従来例に比べ電源電圧降下の電圧分布が小さくなっており、効果が有る事が分かる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の模式的平面図である。

【図2】本発明の処理フローを示す図である。

【図3】本発明の第1の実施の形態の半導体装置の内部電源PADと電源端子設定図である。

【図4】本発明の第1の実施の形態の半導体装置の消費電力別の内部電源構造図である。

【図5】本発明の第1の実施の形態の半導体装置の内部素子別の消費電力ファイル例である。

【図6】本発明の第1の実施の形態の半導体装置の第1の処理途中経過図である。

【図7】本発明の第1の実施の形態の半導体装置の第2

の処理途中経過図である。

【図8】本発明の第1の実施の形態の半導体装置の第3の処理途中経過図である。

【図9】本発明の第1の実施の形態の半導体装置の第4の処理途中経過図である。

【図10】本発明の第1の実施の形態の半導体装置の第5の処理途中経過図である。

【図11】本発明の第1の実施の形態の半導体装置の第6の処理途中経過図である。

【図12】本発明の第1の実施の形態の半導体装置の第8の処理途中経過図である。

【図13】本発明の第1の実施の形態の半導体装置の第9の処理途中経過図である。

【図14】本発明の第1の実施の形態の半導体装置の第10の処理途中経過図である。

【図15】本発明の第1の実施の形態の半導体装置の第11の処理途中経過図である。

【図16】本発明の第1の実施の形態の半導体装置の第12の処理途中経過図である。

【図17】本発明の第1の実施の形態の半導体装置の第13の処理途中経過図である。

【図18】本発明の第1の実施の形態の半導体装置の第14の処理途中経過図である。

【図19】本発明の第2の実施の形態の半導体装置の模式的平面図である。

【図20】本発明の第3の実施の形態の半導体装置の模式的平面図である。

【図21】本発明の第3の実施の形態の半導体装置の消費電力別の内部電源構造図である。

【図22】本発明の第4の実施の形態の半導体装置の模式的平面図である。

【図23】従来の半導体装置のVDD電源側IR-Drop解析結果を示す図である。

【図24】従来の半導体装置のVSS電源側IR-Drop解析結果を示す図である。

【図25】本発明の第1の実施の形態の半導体装置のVDD電源側IR-Drop解析結果を示す図である。

【図26】本発明の第1の実施の形態の半導体装置のVSS電源側IR-Drop解析結果を示す図である。

【図27】従来の半導体装置の電源PAD間の電源配線の模式的平面図である。

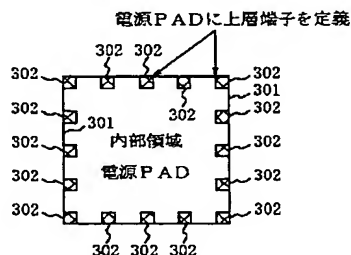
【図28】従来の半導体装置のチップ断面図である。

【図29】本発明の効果を従来の半導体装置と比較した図である。

【符号の説明】

100, 600, 700, 800, 900	半導体装置
101	VDDPAD
102	VSSPAD
103	電源PADと同層の内部電源配線
104	下層の内部電源配線
105	上下層接続VIA
201	内部素子記憶ファイル
601	VDDPAD
602	VSSPAD
603	電源PADと同層の内部電源配線
604	下層の内部電源配線
605	上下層接続VIA
1000, 1100, 1200, 1300, 1400, 1500, 1600, 1700, 1800, 1900	半導体装置

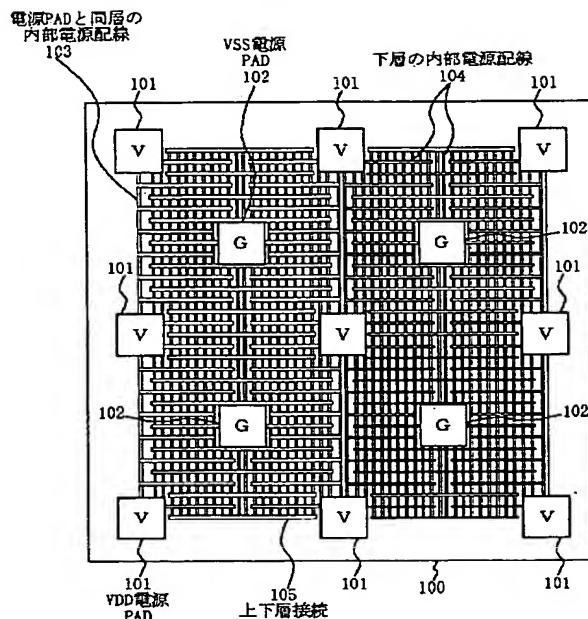
【図3】



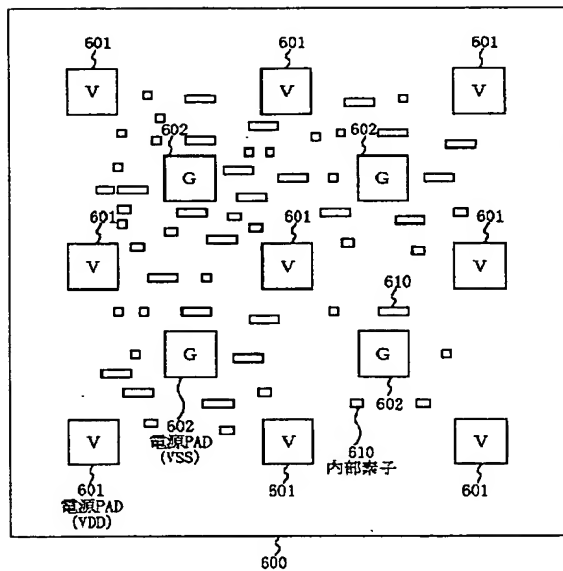
【図5】

内部素子機能名	消費電力
INVERTER	10 μ W
NAND2	12 μ W
NAND3	14 μ W
NAND4	16 μ W
NOR2	12 μ W
NOR3	14 μ W
⋮	⋮

【図 1】



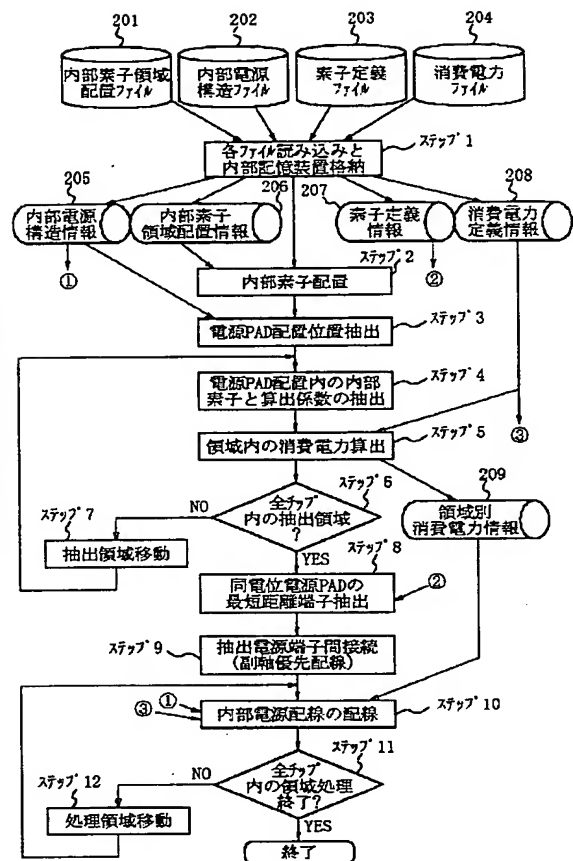
【図6】



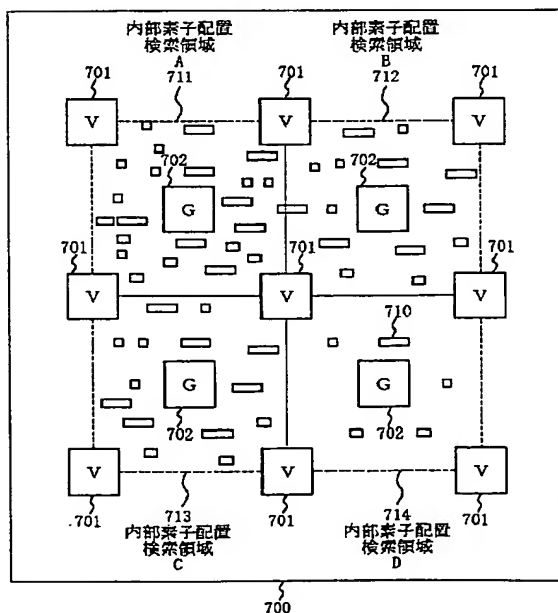
【図29】

	従来例	本発明	改善率
VDD電源	9.189mV	7.622mV	17.0%
VSS電源	8.140mV	7.371mV	9.4%

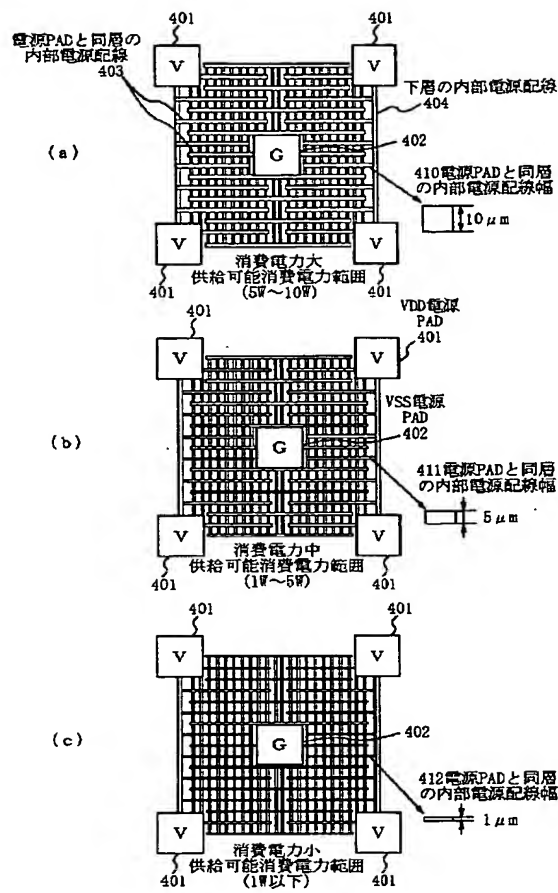
【図2】



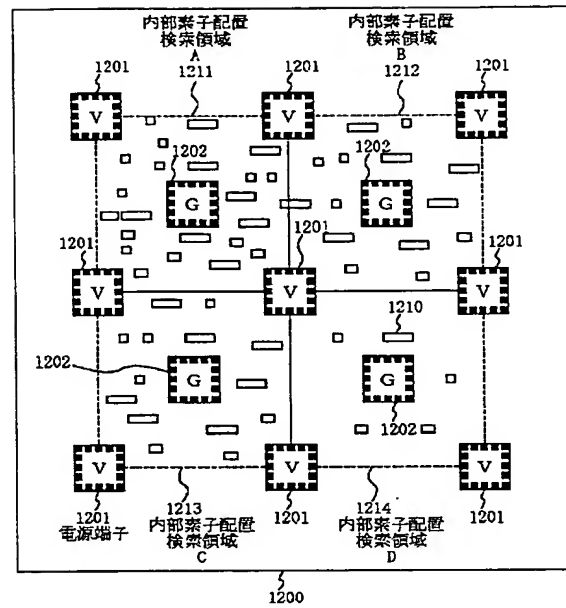
【図7】



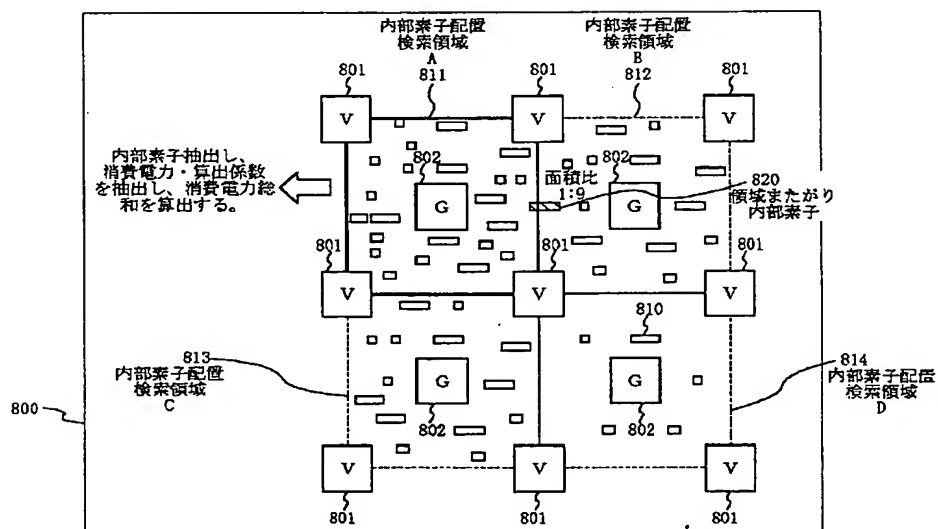
【図4】



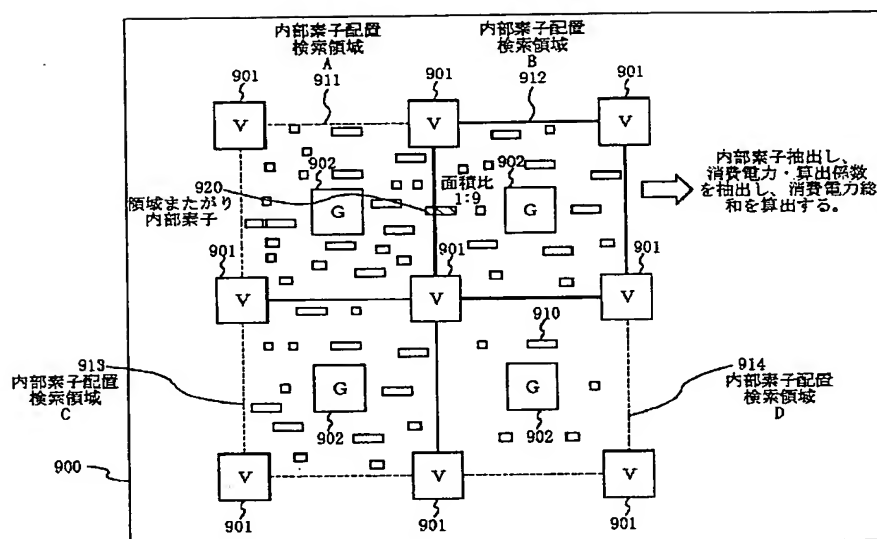
【図 12】



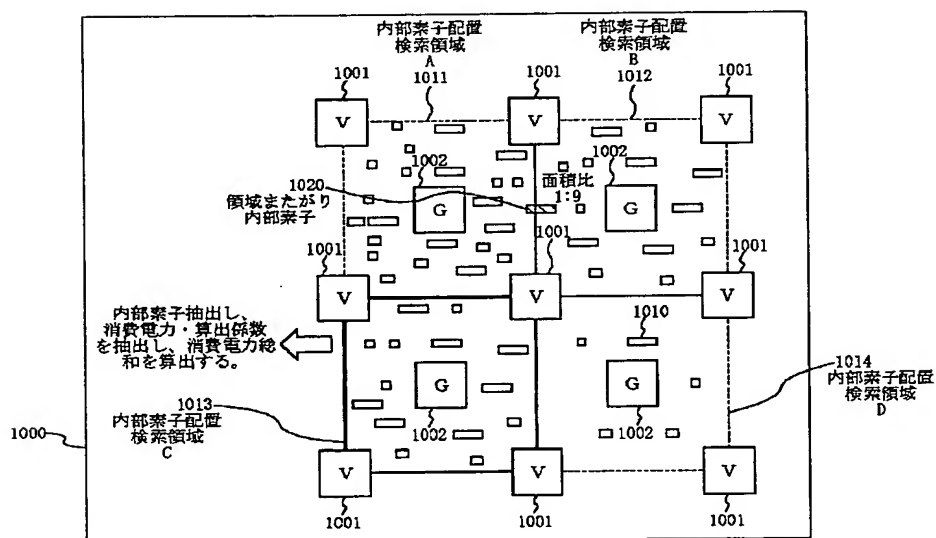
【図8】



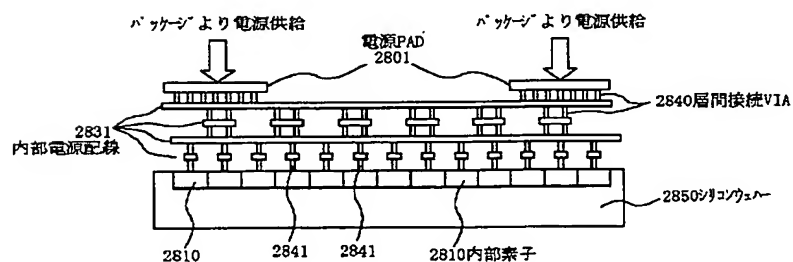
【図9】



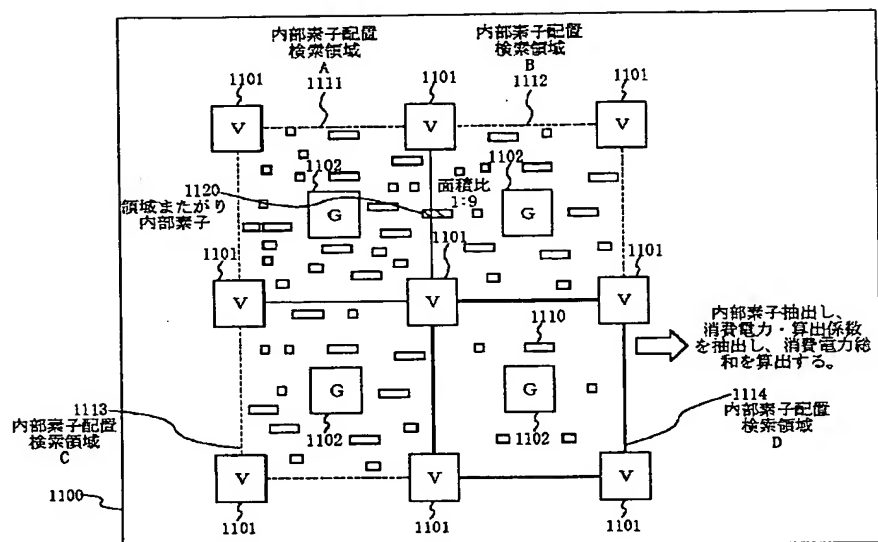
【図10】



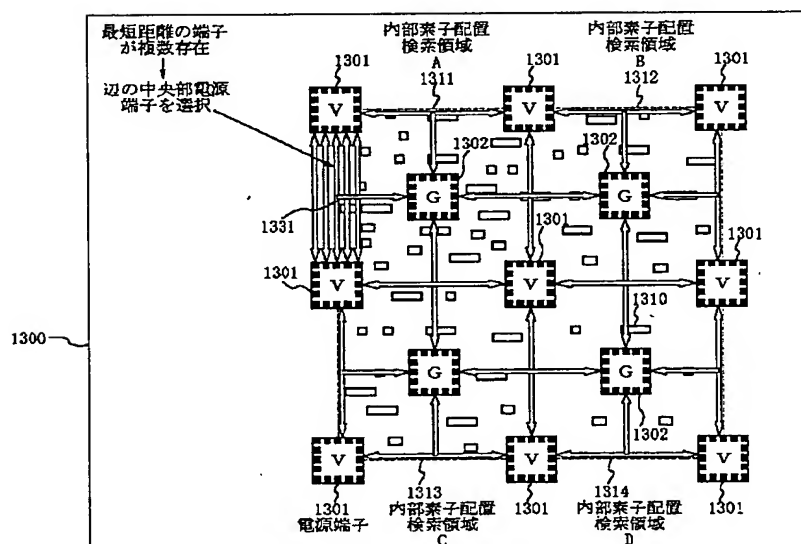
【図28】



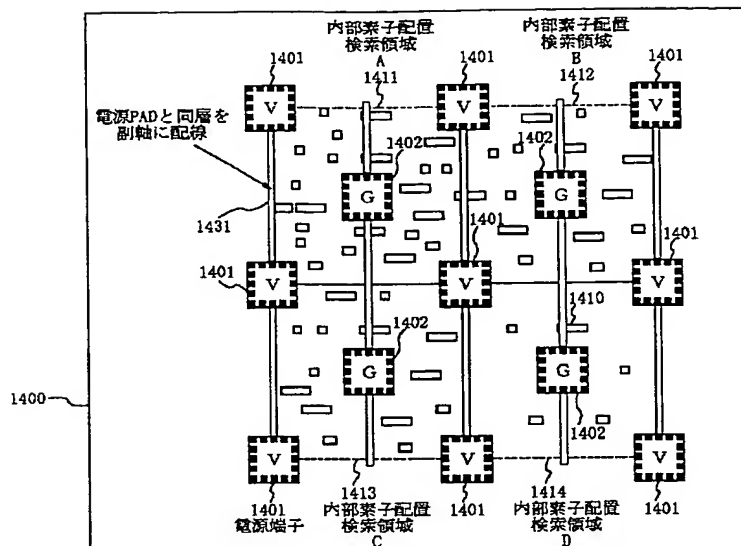
【図 11】



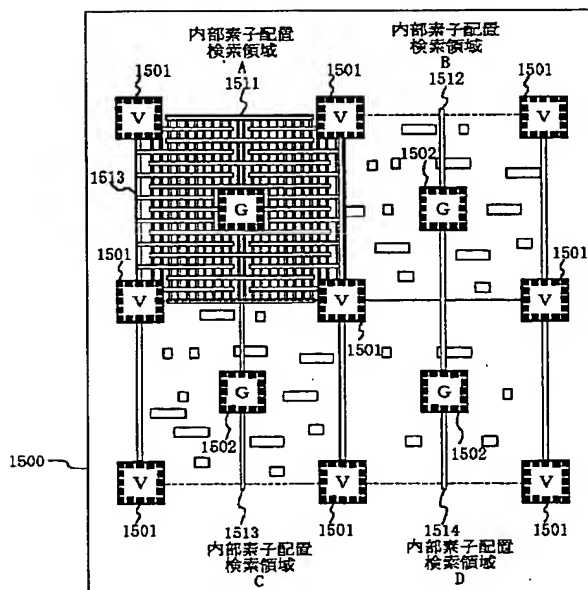
【例 13】



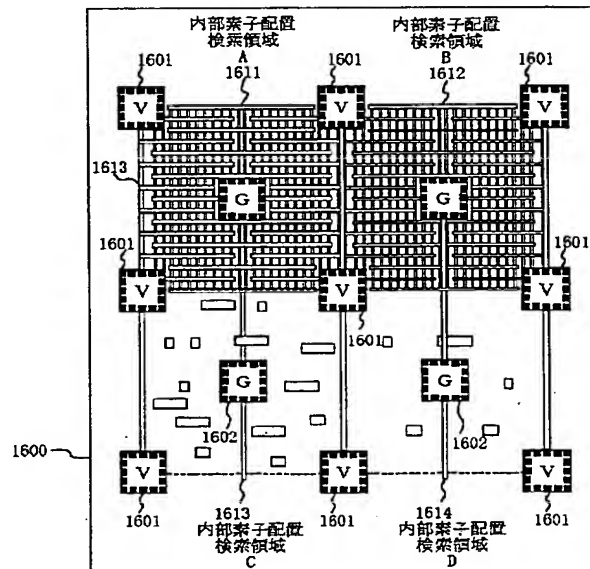
【図14】



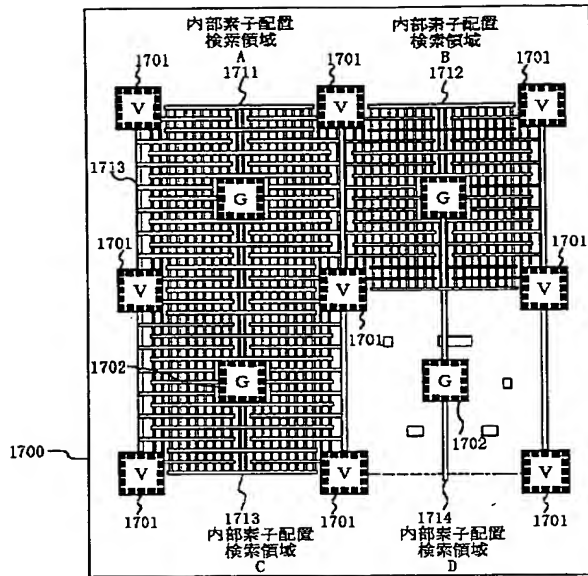
【図15】



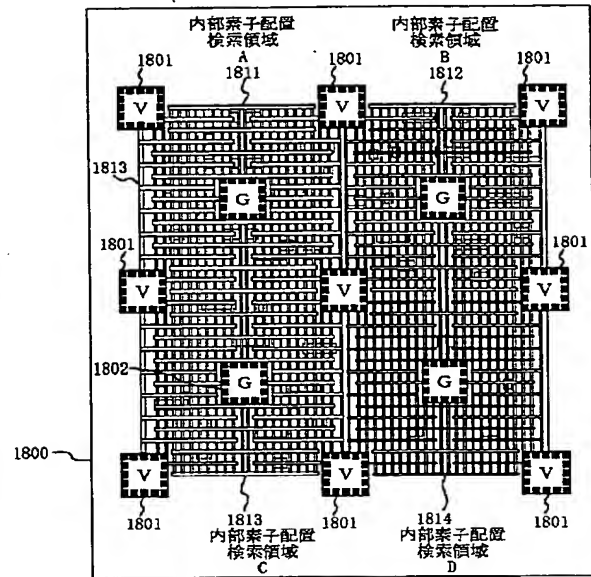
【図16】



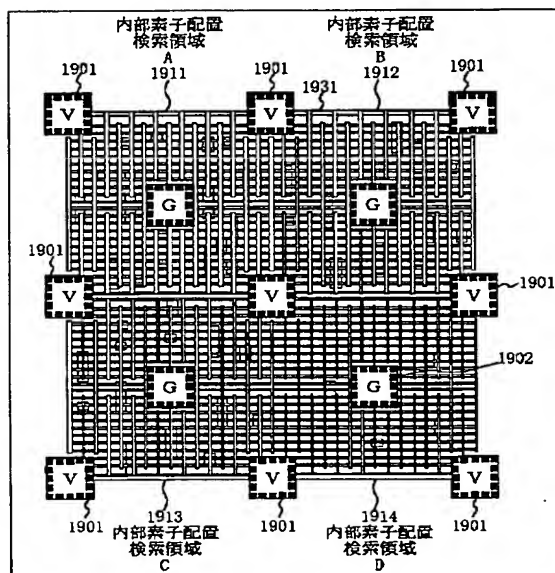
【図17】



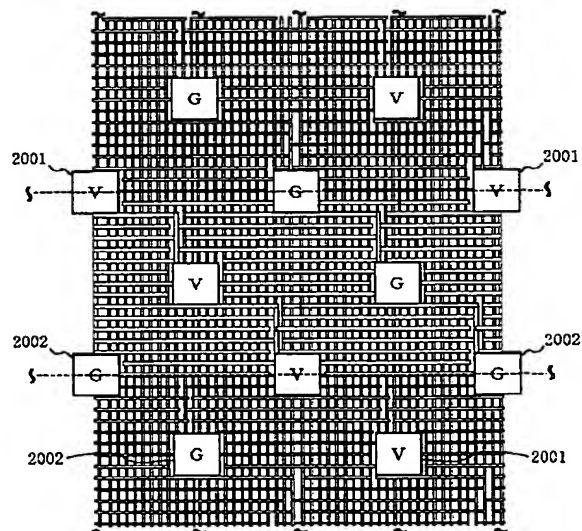
【図18】



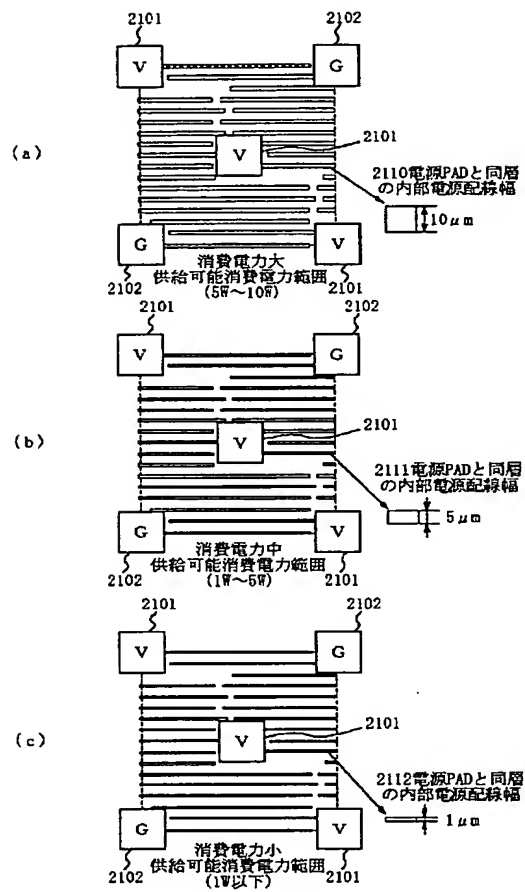
【図19】



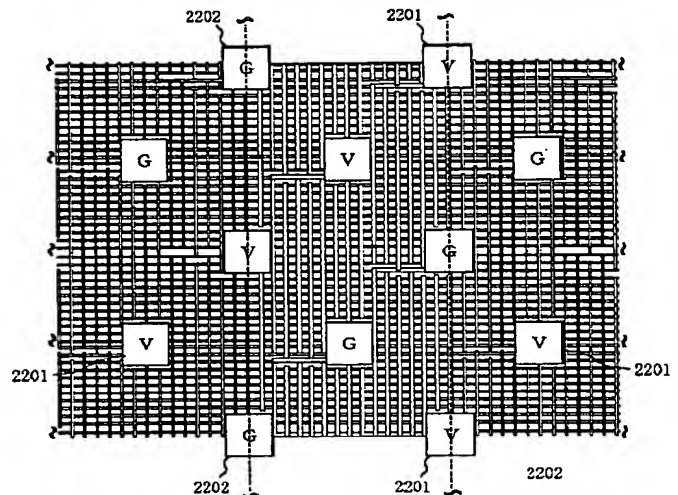
【図20】



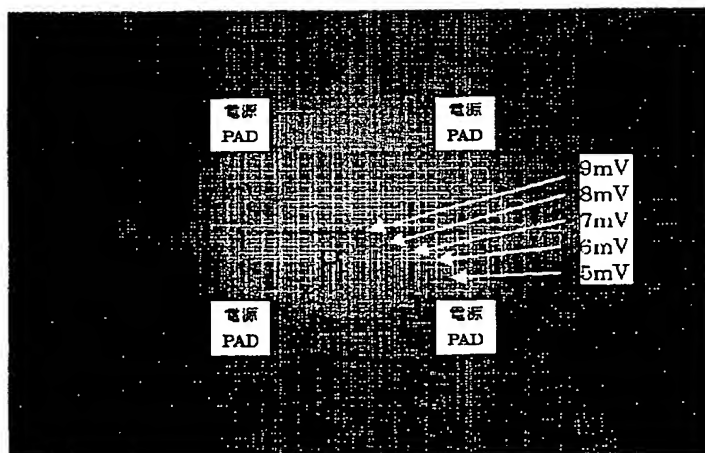
【例 21】



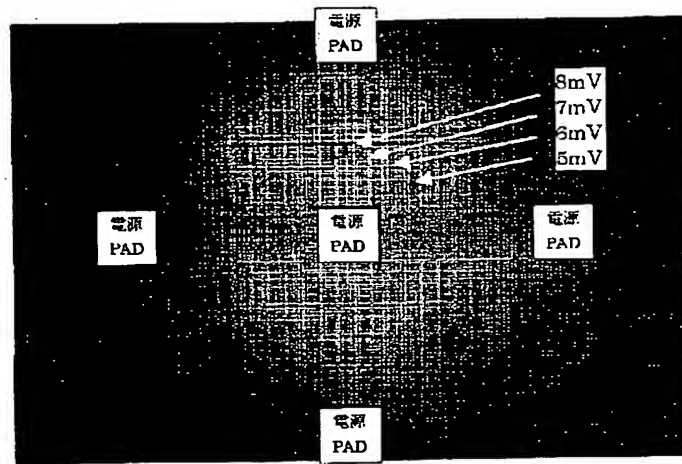
【図22】



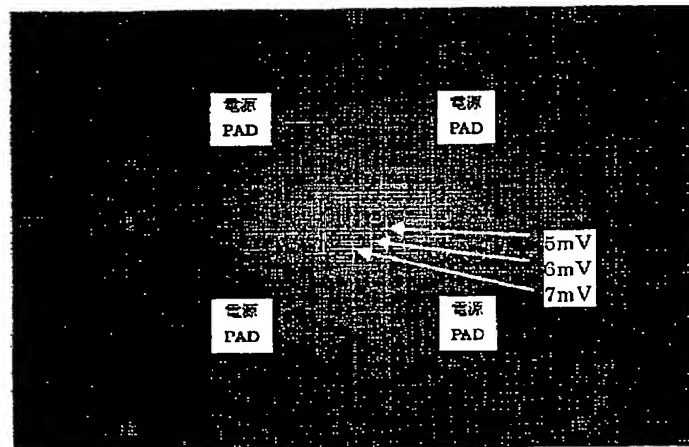
【図23】



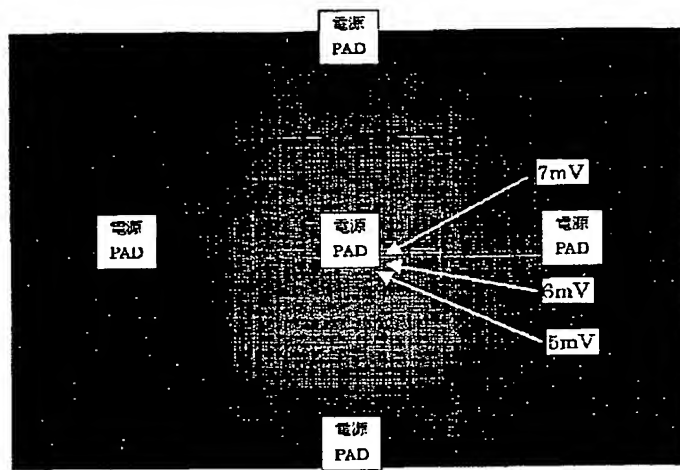
【図24】



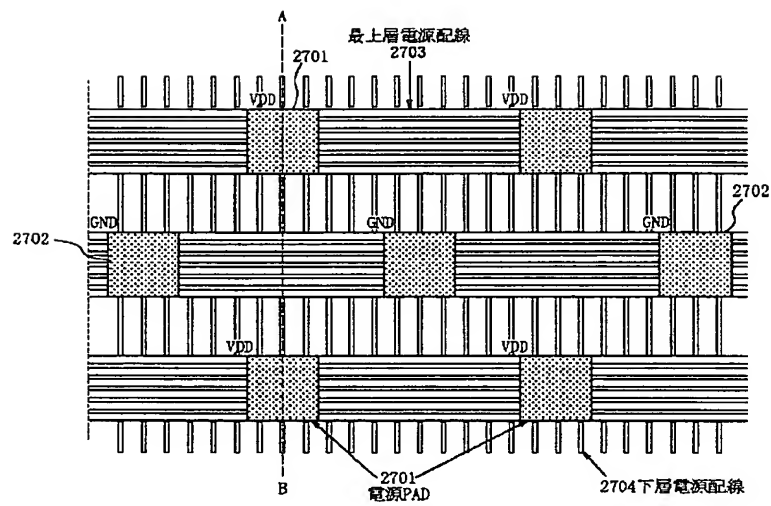
【図25】



【図26】



【図27】



フロントページの続き

Fターム(参考) 5F038 BE09 CA10 CA17 CD02 EZ20
5F064 BB07 DD44 EE02 EE12 EE16
EE22 EE27 EE52 EE58 HH06
HH10 HH11